

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

KR

(51) Int. Cl. 6
H03D 1/00

(11) 공개번호 특2001-0018409
(43) 공개일자 2001년03월05일

(21) 출원번호 10-1999-0034368
(22) 출원일자 1999년08월19일

(71) 출원인 엘지전자 주식회사 구자홍
서울 영등포구 여의도동 20번지

(72) 발명자 이진규
서울특별시 강남구 도곡동 개포한신아파트 6동 109호

(74) 대리인 박장원

설사장수 : 있음

(54) 반송파 복구 장치

요약

본 발명은 반송파 복구 장치에 관한 것으로, 종래의 기술에 있어서는, 현재 수신하고 있는 주파수 채널을 변환하거나 시스템이 파워온이 되었을 경우 즉, 초기모드시나 아날로그 소자들의 특성 열화에 따른 반송파 편차(Carrier Offset)가 발생한 경우에, 정합필터(SRC Filter)를 통과하게 되면 반송파 성분이 감쇄되어 반송파 복원율이 감소하게 되는데, 이와 같은 현상은 반송파 편차가 크면 클수록 더욱 심하게 되는 문제점이 있었다. 따라서, 본 발명은 VSB신호 복조시 신호를 필터링하여 출력되는 반송파에 의한 직류값에서 발생하는 사인비트를 누적하여 그 값이 소정 드레시홀드 이하 또는 이상인가에 따라 에러율을 판단하여 그에 따른 선택 신호를 출력하는 에러율 판단부와; 상기 에러율 판단부에서 출력되는 선택 신호에 의해 필터링에 의한 출력 어부를 선택하는 필터링 선택부와; 상기 에러율 판단부에서 출력되는 선택신호에 의해 이득 조절 신호를 출력하는 이득 제어부를 포함하여 초기모드에서는 정합필터(SRC Filter)를 거치지 않도록 디저블시켜 출력함으로써, 반송파(Pilot)의 이득감소를 막아 반송파 복구 속도를 향상시키고, 반송파의 복구가 소정 드레시홀드(1KHz) 이내로 온 경우 다시 이득(Gain)을 조정하도록 하여 반송파 복구 성능을 향상 시킬 수 있는 효과가 있다.

내포번호

54

발세서

도면의 간단한 설명

도1은 종래의 아날로그 방식 복조회로의 구성을 보인 블록도.

도2는 종래의 디지털 방식 복조 회로의 구성을 보인 블록도.

도3은 종래 디지털 복조 회로의 또 다른 실시예의 구성을 보인 블록도.

도4는 본 발명을 적용한 디지털 복조회로의 일실시예의 구성을 보인 블록도.

REF. 7 DOCKET #40061
CORRES. COUNTRY: pct
COUNTRY: pct

도5는 상기 도4에서 에러율 판단부 및 신호 선택부와 이득 제어부의 상세한 구성을 보인 블록도.

도면의 주요 부분에 대한 부호의 설명

100 : 에러율 판단부 100a : 어큐뮬레이터

100b : 드레시홀드 검출부 200 : 필터링 선택부

300 : 이득 제어부 MP10~MP1n : 곱셈기

MP10~MP1n : 곱셈기 MUX1,MUX2 : 멀티플렉서

발명의 상세한 설명

발명의 녹지

발명의 주제 및 그 분야 속개기술

본 발명은 VSB(vestigial sideband) 신호 수신시 반송파 복구 장치에 관한 것으로, 특히 정합 필터(Passband Matched Square-Root Raised Cosine(SRC) Filter)를 이용하여 반송파 복구를 할 경우, 기어 시프팅(Gear shifting)을 이용하여 반송파 복원 성능을 향상 시키는 반송파 복구 장치에 관한 것이다.

도1은 종래의 아날로그 방식 복조회로의 구성을 보인 블록도로서, 이에 도시된 바와 같이 안테나를 통해 전파가 입력되면 원하는 주파수를 튜닝하기 위해 주파수 합성부(1)를 통해 국부발진 주파수(1st L.O)로 튜닝하고, 자동 이득 조정하여 튜닝된 주파수를 출력하는 튜너부(2)와; 상기 튜너부(2)를 통해 나온 신호를 대역 통과 시키는 대역 필터(SAW Filter, 3)와; 상기 대역 필터(3)를 통해 출력된 신호를 중간주파 증폭하는 중간주파 증폭부(4)와; 상기 중간주파 증폭된 신호에 곱하여 I신호와 Q신호로 분리하기 위한 국부발진 주파수(3rd L.O)를 발생하는 기준주파수 발진기(5)와; 상기 기준주파수 발진기(5)에서 출력되는 국부발진 주파수를 곱하여 각각 I와 Q신호를 출력하는 곱셈기(MP1,MP3)와; 상기 곱셈기(MP1)를 통해 출력된 I신호에서 반송파 신호의 에러성분을 검출하는 자동 주파수 제어 필터(6)와; 상기 자동 주파수 제어 필터(6)를 통해 출력되는 신호를 증폭하여 펄스신호로 만들어 출력하는 리미터부(7)와; 상기 리미터부(7)을 통해 출력되는 펄스신호와 곱셈기(MP3)를 통해 출력되는 Q신호를 곱하는 곱셈기(MP2)와; 상기 곱셈기(MP2)를 통해 출력되는 신호에서 주파수와 위상에러 성분만을 검출하여 출력하는 자동 위상 제어 필터(8)와; 상기 자동 위상 제어 필터(8)를 통해 출력된 보상 신호 성분에 의해 제어되어 상기 튜너부(2)로 반송파 보상을 위한 국부발진 주파수(2nd L.O)를 출력하는 전압제어 발진기(VCO,9)로 구성된다.

이와 같이 구성되어 반송파 복구 및 기저 대역으로의 복조를 아날로그 영역에서 수행하지만, 이러한 방식으로 복조를 수행할 경우 I와 Q채널 사이의 위상차를 정확히 90°로 조정하는 것이 힘들며, 이러한 복조기에 사용되는 여러 가지 소자들이 아날로그 소자이므로 온도에 따른 열화, 접착화의 어려움 등, 여러 가지 문제점들이 존재하게 된다.

특히, 직교진폭변조(QAM : Quadrature Amplitude Modulation)방식에서는 I신호와 Q신호의 이득까지 정확히 균형이 맞아야 하므로, 더욱 어려움이 발생하는데 종래에는 이러한 문제점을 디지털 영역에서의 복조 방법을 통하여 해결하였다.

도2는 종래의 디지털 방식 복조 회로의 구성을 보인 블록도로서, 이에 도시된 바와 같이 원하는 주파수를 튜닝하는 튜너부(1A)와; 상기 튜너부(1A)를 통해 튜닝된 신호에서 일정 대역의 신호만을 출력하는 대역필터(SAW Filter, 2A)와; 상기 대역필터(2A)를 통과한 신호를 에이디 변환을 위해 국부발진 주파수(3rd L.O)를 곱하여 주파수 대역을 낮추는 곱셈기(MP1)와; 상기 곱셈기(MP1)를 통해 출력된 신호를 에이디 변환하는 에이디 변환부(3A)와; 상기 에이디 변환부(3A)에서 일정 대역에 있는 신호만을 검출하여 출력하는 정합 필터(SRC Filter, 4A)와; 상기 정합 필터(4A)를 통과한 신호를 입력받아 90°위상 지연하여 Q신호를 출력하는 힐버트 부(Hilbert, 5A)와; 상기 힐버트 부(5A)를 통해 Q신호가 출력될 때 까지 지연한 후 I신호를 출력하는 지연부(6A)와; 상기 분류된 I와 Q신호를 입력받아 여기에 반송파를 곱하여 기저대역(baseband) 신호를 출력하는 기저대역신호 출력부(7A)와; 상기 기저대역신호 출력부(7A)를 통해 출력되는 I와 Q신호를 각각 필터링하는 무한 임펄스응답 필터(IIR Filter)(8A,9A)와; 상기 IIR 필터(8A)에서 출력되는 신호를 리미터부(10A)를 통해 리미팅한 신호와 상기 IIR 필터(9A)에서 출력되는 신호를 곱하여 위상/주파수 에러 성분을 출력하는 곱셈기(MP2)와; 상기 곱셈기(MP2)를 통해 출력된 에러 성분을 누적하는 루프 필터부(11A)와; 상기 루프 필터부(11A)를 통해 누적된 에러성분에 의해 제어되어 반송파를 보상하는 수치제어 발진기(NCO,12A)로 구성된다.

이때, 상기 제1도의 아날로그 복조기와 제2도의 디지털 복조기의 차이는 반송파 복구에 있어서, 전압제어발진기(VCO)에 의해 튜닝 주파수를 보정할 것인가, 혹은 수치제어발진기(NCO)에 의해 튜닝 주파수를 보정할 것인가 하는 것이다.

각각의 경우에 장, 단점이 있을 수 있으나, 집적도의 측면에서 볼 때, 제2도의 디지털 방식에 장점이 있다고 할 수 있다.

다음, 도3은 종래 디지털 복조회로의 또 다른 실시예(미국특허 5570136)의 구성을 보인 블록도로서, 이에 도시된 바와 같이 원하는 주파수를 튜닝하는 튜너부(1B)와: 상기 튜너부(1B)를 통해 튜닝된 신호에서 일정 대역의 신호만을 출력하는 대역필터(SAW Filter, 2B)와: 상기 대역필터(2B)를 통과한 신호를 중간주파 증폭하는 중간주파 증폭부(3B)와: 상기 중간주파 증폭부(3B)에서 출력되는 신호에 사인/코사인 투입 테이블(4B)로부터 각각

Cos

Sin

를 곱해 I와 Q신호를 출력하는 곱셈기(MP1, MP3)와: 상기 I와 Q의 각 신호를 에이디 변환하는 에이디 변환부(5B, 8B)와: 상기 에이디 변환부(5B)를 통해 출력된 I신호에서 반송파 신호의 에러 성분을 검출하는 자동 주파수 제어 필터(6)와: 상기 자동 주파수 제어 필터(6)를 통해 출력되는 신호를 증폭하여 펄스신호로 만들어 출력하는 리미터부(7)와: 상기 리미터부(7)를 통해 출력되는 펄스신호와 에이디 변환부(8B)를 통해 출력되는 Q신호를 곱하는 곱셈기(MP2)와: 상기 곱셈기(MP2)를 통해 출력되는 신호에서 주파수와 위상에러 성분만을 검출하여 출력하는 자동 위상 제어 필터(8)와: 상기 자동 위상 제어 필터(8)를 통해 출력된 보상 신호 성분에 의해 제어되어 상기 튜너부(2)로 반송파 보상을 위한 국부발진 주파수(2nd L.O)를 출력하는 전압제어 발진기(VCO, 9)로 구성된다.

따라서, 상기와 같은 복조기의 특징은 I와 Q채널을 아날로그 영역에서 분리한 후 2개의 에이디 변환부(ADC)를 사용하여 샘플링한 후 정합 필터(SRC Filter)를 사용하여 기저대역(baseband)의 신호로 변환하는 방식이다.

발명이 이루고자 하는 기술적 과제

그러나, 상기에서와 같이 종래의 기술에 있어서는, 현재 수신하고 있는 주파수 채널을 변환하거나 시스템이 파워온이 되었을 경우 즉, 초기모드시나 아날로그 소자들의 특성 열화에 따른 반송파 편차(Carrier Offset)가 발생한 경우에, 정합필터(SRC Filter)를 통과하게 되면 반송파 성분이 감쇄되어 반송파 복원율이 감소하게 되는데, 이와 같은 현상은 반송파 편차가 크면 클수록 더욱 심하게 되는 문제점이 있었다.

따라서, 본 발명에서는 상기와 같은 문제점을 해결하기 위해 창출한 것으로, 초기모드에서는 정합필터(SRC Filter)를 거치지 않도록 디저를시켜 출력함으로써, 반송파(Pilot)의 이득감소를 막아 반송파 복구 속도를 향상시키고, 반송파의 복구가 소정 드레시홀드(1KHz) 이내로 온 경우 다시 이득(Gain)을 조정하도록 하여 반송파 복구 성능을 향상 시킬 수 있는 장치를 제공함에 그 목적이 있다.

발명의 기술 낫' 내용

이와 같은 목적을 달성하기 위한 본 발명은, VSB신호 복조시 I신호를 필터링하여 출력되는 반송파에 의한 직류값에서 발생하는 사인비트를 누적하여 그 값이 소정 드레시홀드 이하 또는 이상인가에 따라 에러율을 판단하여 그에 따른 선택 신호를 출력하는 에러율 판단부와: 상기 에러율 판단부에서 출력되는 선택 신호에 의해 필터링에 의한 출력 여부를 선택하는 필터링 선택부와: 상기 에러율 판단부에서 출력되는 선택신호에 의해 이득 조절 신호를 출력하는 이득 제어부를 포함하여 구성한 것을 특징으로 한다.

이하, 본 발명에 따른 일실시예를 참부한 도면을 참조하여 상세히 설명하면 다음과 같다.

도4는 본 발명을 적용한 디지털 복조회로의 일실시예의 구성을 보인 블록도로서, 이에 도시한 바와 같이 도2에 도시된 바와 같은 디지털 복조회로에 있어서, 기저대역신호 출력부(7A)에서 출력되는 I신호를 필터링하여 출력되는 반송

파에 의한 적률 값에서 발생하는 사인비트를 누적하여 그 값이 소정 드레시홀드 이하 또는 이상인가에 따라 에러율을 판단하여 그에 따른 선택 신호를 출력하는 에러율 판단부(100)와: 상기 에러율 판단부(100)에서 출력되는 선택 신호에 의해 필터링에 의한 출력 여부를 선택하는 필터링 선택부(200)와: 상기 에러율 판단부(100)에서 출력되는 선택 신호에 의해 이득 조절 신호를 출력하는 이득 제어부(300)를 포함하여 구성한다.

도5는 상기 도4에서 에러율 판단부(100) 및 신호 선택부(200)와 이득 제어부(300)의 상세한 구성을 보인 블록도로서, 이에 도시한 바와 같이 I신호에서 출력된 사인비트를 누적하는 어큐뮬레이터(100a)와: 상기 어큐뮬레이터(100a)에 누적된 값이 소정 드레시홀드 이상인지 검출하는 드레시홀드 검출부(100b)와: 상기 사인비트와 필터링된 Q신호를 기어 시프팅 할 이득 만큼 각각 곱셈하는 복수개의 곱셈기(MP10~MP1n)와: 상기 복수개의 곱셈기(MP10~MP1n)에서 출력된 신호에 복수개의 이득을 곱하는 복수개의 곱셈기(MP20~MP2n)와: 상기 드레시홀드 검출부(100b)에서 출력된 신호에 의해 상기 곱셈기(MP20~MP2n)의 출력값을 선택하여 출력하는 멀티플렉서(MUX1)와: 상기 드레시홀드 검출부(100b)에서 출력된 신호에 의해 정합필터(SRC Filter)에 의해 필터링된 신호 또는 에이디 컨버팅된 신호를 선택하여 출력하는 멀티플렉서(MUX2)로 구성된다.

이하, 상기와 같이 구성된 본 발명의 동작 및 작용을 설명하면 다음과 같다.

일단, 초기 동작 모드에서는 반송파의 이득을 최대화 하기 위하여 정합필터(SRC Filter)에서 필터링된 신호를 바이패스시킨다.

다음, 이득 제어부(300)의 이득도 FPLL(Frequency Phase Locked Loop, 미도시)이 안정적으로 동작하는 범위 내에서 가장 큰 값(maxgain)을 선택하도록 한다.

이에 따라 반송파의 복구가 빠르게 진행되면서 기저대역신호 출력부(7A)에서 출력되는 I신호를 입력으로 하는 IIR 필터(8A)의 출력값에 VSB신호의 반송파(Pilot)에 의한 DC값이 생기게 되는데, 이때의 출력값의 사인비트(Sign Bit)를 에러율 판단부(100)의 어큐뮬레이터(100a)를 통해 누적한다.

이와 같이 누적된 값이 소정 드레시홀드(1KHz) 이상일 경우에는 계속 정합필터(SRC Filter)의 출력을 바이패스시키고 이득 제어부(300)에서 출력되는 이득도 최대로 하고, 이내가 되면 이때부터는 정합필터(SRC Filter)를 인에이블시키고 이득 제어부(300)에서 출력되는 이득도 적정 이득으로 조절한다.

이와 같이 함으로써 초기 모드에서 정합필터(SRC Filter)를 통과하여 발생하는 반송파 성분의 감쇄 현상을 막을 수 있게 되고, 반송파 복구 속도 및 성능이 빠르게 된다.

다시 말해, 에러율 판단부(100)는 먼저 I신호 쪽의 IIR필터(8A)의 출력값 중 사인비트(Sign Bit)를 입력으로 받아서 그 값을 계속 누적하게 된다.

이와 같이 누적된 값이 기준값으로 설정된 일정한 드레시홀드(Threshold) 이상이 되면 멀티플렉서(MUX)의 선택 신호를 '1'로 세팅하여 에이디 변환부(3A)의 신호를 출력시키고, 이때 이득 제어부(300)의 이득을 최대이득(maxgain)으로 선택하여 동작 시킨다.

반대로, 사인비트의 누적값이 드레시홀드 이하일 경우에는 멀티플렉서(MUX)의 선택신호를 '0'으로 세팅하여 에이디 변환부(3A)의 신호를 바이패스시키고 즉, 정합필터(SRC Filter)에서 필터링된 신호를 출력하고, 이득 제어부(300)의 이득은 적정이득(optgain)으로 선택하여 동작 시킨다.

즉, 이득 제어부(300)의 이득이 크면 클수록 반송파의 복구 속도는 빠르지만, 기저대역(Baseband)의 VSB 신호에는 위상 지터(Phase Jitter)도 함께 증가하여 결과적으로 성능 저하를 초래하게 된다.

따라서, 본 발명은 상기와 같은 초기 동작 모드에서 어느 정도 반송파의 복구가 이루어지면, 이득 제어부(300)의 이득을 다시 작아 지도록 하여 반송파 복구 성능을 향상시키게 된다.

상기에서 설명한 바와 같이 본 발명에 의한 반송파 복구 장치는 위상 검출기의 이득을 2단계로 시프팅하여 조절하였

으나 보디 안정적으로 동작시키기 위해 상태의 변화에 따라 다 단계로 시프팅할 수도 있다.

설명의 목次

이상에서 설명한 바와 같이 본 발명 반송파 복구 장치는 초기모드에서는 정합필터(SRC Filter)를 거치지 않도록 디저를 시켜 출력 함으로써, 반송파(Pilot)의 이득감소를 막아 반송파 복구 속도를 향상 시키고, 반송파의 복구가 소정 드레시홀드(1KHz) 이내로 온 경우 다시 이득(Gain)을 조정하도록 하여 반송파 복구 성능을 향상 시킬 수 있는 효과가 있다.

(57) 정교의 4/4

청구항1

VSB신호 복조시 I신호를 필터링하여 출력되는 반송파에 의한 직류값에서 발생하는 사인비트를 누적하여 그 값이 소정 드레시홀드 이하 또는 이상인가에 따라 에러율을 판단하여 그에 따른 선택 신호를 출력하는 에러율 판단부와: 상기 에러율 판단부에서 출력되는 선택 신호에 의해 필터링에 의한 출력 여부를 선택하는 필터링 선택부와: 상기 에러율 판단부에서 출력되는 선택신호에 의해 이득 조절 신호를 출력하는 이득 제어부를 포함하여 구성한 것을 특징으로 하는 반송파 복구 장치.

청구항2

제1항에 있어서, 상기 에러율 판단부는 I신호에서 출력된 사인비트를 누적하는 어큐뮬레이터와; 상기 어큐뮬레이터에 누적된 값이 소정 드레시홀드 이상인지를 검출하는 드레시홀드 검출부로 구성된 것을 특징으로 하는 반송파 복구 장치.

청구항3

제1항에 있어서, 상기 신호 선택부는 상기 드레시홀드 검출부에서 출력된 신호에 의해 필터링된 신호 또는 필터링되기 전의 신호를 선택하여 출력하는 멀티플렉서로 구성된 것을 특징으로 하는 반송파 복구 장치.

청구항4

제1항에 있어서, 상기 이득 제어부는 상기 I신호에서 출력된 사인비트와 필터링된 Q신호를 기어 시프팅 할 이득 만큼 각각 곱셈하는 복수개의 곱셈기(MP10~MP1n)와; 상기 복수개의 곱셈기(MP10~MP1n)에서 출력된 신호에 복수개의 이득을 곱하는 복수개의 곱셈기(MP20~MP2n)와; 상기 드레시홀드 검출부에서 출력된 신호에 의해 상기 곱셈기(MP20~MP2n)의 출력값을 선택하여 출력하는 멀티플렉서로 구성된 것을 특징으로 하는 반송파 복구 장치.

도면

도면 1





